

SEMICONDUCTOR DEVICE

Patent Number: JP2000267128

Publication date: 2000-09-29

Inventor(s): OTANI HISASHI;; NAKAZAWA MISAKO

Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD

Requested Patent: JP2000267128

Application Number: JP19990071914 19990317

Priority Number(s):

IPC Classification: G02F1/136

EC Classification:

Equivalents:

Abstract

PROBLEM TO BE SOLVED: To obtain capacitors of a large capacitance without decreasing the opening rate by forming a transparent conductive film as the electrode of holding capacitors in an active matrix type liquid crystal display device, and to prevent short circuits between the electrodes of the holding capacitors and the pixel electrodes with great certainty.

SOLUTION: A transparent conductive film 113 is formed by a CVD method on a BCB flattening film which covers pixel TFTs 20, and contact holes are formed in the conductive film 113. Then an insulating film 114 of silicon oxide is formed by a CVD method on the transparent conductive film 113, and contact holes are formed in the insulating film 114 and the flattening film 112 to reach a drain electrodes 108, on which pixel electrodes 115 are formed. Thus, holding capacitors 22 with the transparent conductive film 113 and the pixel electrodes 115 as its electrodes and with the insulating film 114 as the dielectric material are formed. Since the insulating film 114 is formed by the CVD method, a short circuit between the transparent conductive film 113 and the pixel electrodes can be prevented in the contact hole.

Data supplied from the esp@cenet database - I2

THIS PAGE BLANK (USPTO)

特開2000-267128

(P2000-267128A)

(43) 公開日 平成12年9月29日(2000.9.29)

(51) Int. C1.7

G02F 1/136

識別記号

500

F I

G02F

1/136 500

テーマコード(参考)

2H092

審査請求 未請求 請求項の数 15 O L

(全20頁)

(21) 出願番号 特願平11-71914

(22) 出願日 平成11年3月17日(1999.3.17)

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 大谷 久

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72) 発明者 仲沢 美佐子

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

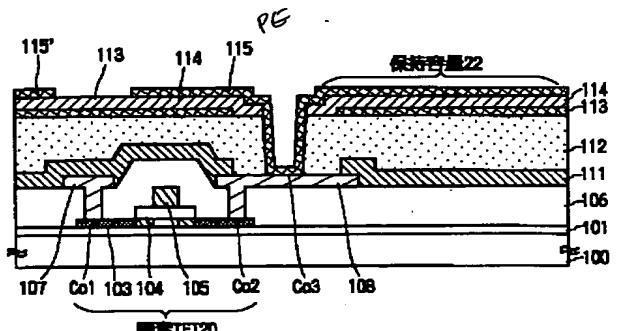
最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【要約】

【課題】 アクティブマトリクス型液晶表示装置において、保持容量の電極を透明導電膜で形成して、開口率を下げずに大容量のコンデンサーとする。かつ保持容量の電極と画素電極のショートを確実に防止する。

【解決手段】 画素 TFT 20 を覆う BCB である平坦化膜上に、CVD 法で I 透明導電膜 113 を形成し、導電膜 113 にコンタクトホールを形成する。透明導電膜 113 上に CVD 法で酸化シリコンでなる絶縁膜 114 を成膜し、絶縁膜 114 と平坦化膜 112 にドレイン電極 108 に達するコンタクトホールを形成し、画素電極 115 を形成する。透明導電膜 113 と画素電極 115 を電極に、絶縁膜 114 を誘電体とする保持容量 22 が形成される。CVD 法で絶縁膜 114 を成膜したため、コンタクトホールにおいて、透明導電膜 113 と画素電極 115 がショートすることを防止できる。



100: 基板 101: 下述膜
103: ポリイミド 104: ゲート電極 105: ソース電極 108: ドレイン電極
106: 斷面遮蔽膜 107: コンタクトホール 109: インシルコン
111: 絶縁膜(酸化シリコン)
112: 平坦化膜(BCB)
113: 電極膜(透明導電膜)
114: 絶縁膜(酸化シリコン)
115: 画素電極(透明導電膜)

アクティブマトリクス回路の断面図
(図2のA-A'断面)

*透明マトリクス回路の断面図
(図2のA-A'断面)*

113 = Transparent conductive film

【特許請求の範囲】

【請求項1】 薄膜トランジスタに接続された画素電極と、前記薄膜トランジスタを覆う樹脂膜と、前記樹脂膜上の透明導電膜、該透明導電膜に接する絶縁膜と、該絶縁膜に接する前記画素電極とを有する保持容量と、前記画素電極と前記薄膜トランジスタを接続するための前記透明導電膜に形成されたコンタクトホールと、を有し、前記絶縁膜は前記透明導電膜のコンタクトホールの側部を覆い、かつ前記樹脂膜に接していることを特徴とする半導体装置。

【請求項2】 請求項1において、前記絶縁膜は化学気相法で成膜された膜であることを特徴とする半導体装置。

【請求項3】 請求項1又2において、前記樹脂膜はベンゾシクロブテンであることを特徴とする半導体装置。

【請求項4】 薄膜トランジスタに接続された画素電極と、

前記薄膜トランジスタを覆う第1の樹脂膜と、前記第1の樹脂膜上の透明導電膜と、該透明導電膜に接する絶縁膜と、該絶縁膜に接する前記画素電極とを有する保持容量と、前記画素電極と前記薄膜トランジスタを接続するための前記透明導電膜、前記絶縁膜、前記第1の樹脂膜それぞれに形成されたコンタクトホールと、

前記絶縁膜、前記第1の樹脂膜のコンタクトホールの側面を覆う第2の樹脂膜と、を有し、前記絶縁膜は前記透明導電膜のコンタクトホールの側部を覆い、かつ前記第1の樹脂膜に接していることを特徴とする半導体装置。

【請求項5】 請求項4において、前記絶縁膜は化学気相法で成膜された膜であることを特徴とする半導体装置。

【請求項6】 請求項4又5において、前記第1の樹脂膜はベンゾシクロブテンであることを特徴とする半導体装置。

【請求項7】 請求項4～6のいずれか1項において、前記第2の樹脂膜はベンゾシクロブテン、アクリル又はポリイミドであることを特徴とする半導体装置。

【請求項8】 薄膜トランジスタに接続された画素電極と、

前記薄膜トランジスタを覆う樹脂膜と、前記樹脂膜上の透明導電膜と、該透明導電膜に接する第1の絶縁膜と、前記第1の絶縁膜に接する前記画素電極とを有する保持容量と、前記画素電極と前記薄膜トランジスタを接続するための前記透明導電膜に形成されたコンタクトホールと、前記透明導電膜のコンタクトホールの側部を覆い、かつ

前記樹脂膜及び前記第1の絶縁膜に接する第2の絶縁膜と、を有することを特徴とする半導体装置。

【請求項9】 請求項8において、前記第1の絶縁膜は化学気相法で成膜された膜であることを特徴とする半導体装置。

【請求項10】 請求項8又は9において、前記第2の絶縁膜は化学気相法で成膜された膜であることを特徴とする半導体装置。

【請求項11】 請求項8～10のいずれか1項において、前記樹脂膜はベンゾシクロブテンで形成されていることを特徴とする半導体装置。

【請求項12】 請求項1～11のいずれか1項において、前記薄膜トランジスタの半導体層と交差する遮光膜を有することを特徴とする半導体装置。

【請求項13】 請求項1～12のいずれか1項に記載の半導体装置は、アクティブマトリクス型液晶表示装置のアクティブマトリクス基板である。

【請求項14】 請求項1～12のいずれか1項に記載の半導体装置は、アクティブマトリクス型液晶表示装置である。

【請求項15】 請求項1～12のいずれか1項に記載の半導体装置は、ビデオカメラ、デジタルカメラ、プロジェクタ、ゴーグル型表示装置、カーナビゲーションシステム、パーソナルコンピュータ又は携帯型情報端末である。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタをスイッチング素子に用いたアクティブマトリクス型の液晶表示装置に関するものである。液晶表示装置の画素電極の電位を制御するための薄膜トランジスタでマトリクス回路を有する半導体装置に関する。本発明の半導体装置は半導体の特性を利用した回路を有する装置であり、アクティブマトリクス型の液晶表示装置だけでなく、液晶表示装置を部品として搭載した電子機器もその範疇に含む。

【0002】

【従来の技術】近年、多結晶シリコン膜を利用した薄膜トランジスタ（以下、TFTと呼ぶ）で回路を構成したアクティブマトリクス型液晶表示装置が注目されている。これはマトリクス状に配置された複数の画素電極によって液晶にかかる電界を制御し、高精細な画像表示を実現した。

【0003】アクティブマトリクス型液晶表示装置では、各画素毎に形成された画素電極と液晶を介して対向側に形成された対向電極とで容量（コンデンサ）を形成しているが、これだけでは容量が小さいため、通常はそれとは別に保持容量を形成して補っている。

【0004】保持容量の構造（保持容量構造）は様々であるが、透過型液晶表示装置における開口率を考慮して

二層の透明導電膜で絶縁膜を挟み込んだ構造が開示されている（特開平8-43854号公報、特開平8-306926号公報）。

【0005】上記公報に記載された保持容量構造は、二組の電極を両方ともITOなどの透明導電膜とすることで、開口率を損ねることなく大きな容量を確保することを可能にした。図30に従来の画素マトリクス回路の断面図を示す。

【0006】図30に示すように、画素TFTの層間絶縁膜上には透明導電膜で容量電極1が形成されている。容量用電極1と画素電極3により絶縁膜2を挟んで保持容量が構成されている。

【0007】

【発明が解決しようとする課題】しかしながら、図30に示す保持容量では、容量電極1の端部（点線で囲まれた領域）4において絶縁膜2のカバレッジ不良が問題となっている。

【0008】絶縁膜2は薄いほど容量を稼げるが、薄くなると、端部4において容量用電極1と画素電極3がショートすることが懸念され、マトリクス回路の信頼性を損ねたり、不良の発生の原因となる。そのため、絶縁膜2は保持容量の誘電体として機能すると共に、層間絶縁膜としての機能を果たすために、ある程度の膜厚を要求されるといったトレードオフの関係にある。

【0009】透明導電膜1はITO等の金属酸化物であるため、アルミニウムや金属膜よりも高抵抗となる。は電位分布を考慮すると、透明導電膜1の膜厚は100～200nm程度が必要となる。そのため、容量用電極1を完全に被覆するには、絶縁膜2の膜厚は少なくとも200nm以上とする必要がある。しかしながら、容量の大きさは誘電体の膜厚に反比例するため、膜厚を厚くすることは大容量を確保する上で望ましいものではない。

【0010】上述したように、二組の透明導電膜を絶縁膜で挟みこむことで、開口率を損ねることなく保持容量を形成することが可能になるが、未だマトリクス回路の信頼性や製造に多くの問題点が残っている。

【0011】本発明は上記問題点を解決し、アクティブマトリクス型液晶表示および液晶表示装置のアクティブマトリクス基板において、信頼性が高く、かつ歩留まり良く製造可能な保持容量の構成、及びその作製方法を提供することを課題とする。

【0012】

【課題を解決するための手段】上述の課題を解決するために、本発明は、画素ごとに画素電極と、画素電極に接続された薄膜トランジスタが形成されたマトリクス回路を備えた半導体装置であって、保持容量は透明導電膜、絶縁膜、画素電極の順に積層された構成となっている。即ち、画素電極と透明導電膜を対向する電極対に、絶縁膜を誘電体としてコンデンサーが形成されている。保持容量の一方の電極を透明導電膜で形成することにより、

開口率を縮小することなく、大きな容量の保持容量（コンデンサー）を形成することが可能になる。

【0013】本発明では、薄膜トランジスタを樹脂膜でなる平坦化膜を形成する。樹脂膜により、ゲート配線等による凹凸が平坦化されるため、画素電極の表面も平坦化することができる。

【0014】平坦化膜はスピンドル法で成膜できる樹脂膜が好ましく、BCBの他、アクリル（ポリメチルメタクリレート）膜、ポリイミド膜を形成することもできる。本実施形態では、保持容量の誘電体をCVD法で成膜するため、成膜温度に耐えうるBCB膜を形成する。

【0015】薄膜トランジスタと画素電極を接続するには、画素電極よりも下層の透明導電膜及び絶縁膜と共に貫通するコンタクトホールが形成されている。

【0016】絶縁膜に形成されるコンタクトホールは透明導電膜に形成されたコンタクトホールの内側に形成されている。即ち、絶縁膜のコンタクトホールは透明導電膜のコンタクトホールよりも小さくして、絶縁膜によって透明導電膜のコンタクトホールを覆って、透明導電膜と画素電極がショートすることを防止する。

【0017】上記構成を得るには、透明導電膜のコンタクトホールを形成した後に、絶縁膜を成膜し透明導電膜のコンタクトホールの側部を絶縁膜で被覆する。しかる後、透明導電膜のコンタクトホールに重なるように、かつこのコンタクトホールよりも小さなコンタクトホールを絶縁膜に形成する。

【0018】本発明では、透明導電膜のコンタクトホール側部における絶縁膜の段差被覆性（ステップカバレッジ）を改善するため、絶縁膜はスパッタ法に代表される物理気相法（PCV）よりも、化学気相法（CVD）で成膜することが望ましい。

【0019】保持容量の絶縁膜をCVD法で成膜することで、スパッタ法よりもステップカバレッジが非常に良好になるため、半導体装置の信頼性、歩留まりを向上させることが可能になる。また、膜厚を薄くする事が可能になるため、保持容量の容量を増加されるため、画素電極の微細化に伴う保持容量の減少を補償することが可能になる。

【0020】また上述したように、本発明では、絶縁膜は透明導電膜にコンタクトホールを形成した後に成膜するため、絶縁膜を成膜する際には、下地の樹脂膜が露出されている。よって、絶縁膜の成膜手段としてCVD法を採用するためには、樹脂膜には、絶縁膜の成膜プロセスにおいて変質しない材料、少なくとも300～200℃の加熱によって変質しない材料を選択する必要がある。さらに、CVDの成膜時の雰囲気である減圧雰囲気にて、脱ガスが少ないとや、応力が小さいことも必要になる。

【0021】このため、本発明では、透明導電膜の下地となる樹脂膜をベンゾシクロブテン（BCB：Benzocyc

lobutene) で形成する。BCBはスピンドルコート法により成膜することができるため、薄膜トランジスタの表面を平坦化することができると共に、ガラス転移温度が350°C以下ではなく、真空中での脱ガスも少ないため、CVD法で成膜される膜の下地膜として用いることが可能である。

【0022】

【発明の実施の形態】以下、図1～図29を用いて、本発明の実施の形態を説明する。

【0023】【実施形態1】図1～図7を用いて、本発明の実施形態を説明する。本実施形態は発明をアクティブマトリクス型の液晶表示装置に応用した例である。

【0024】図7は、アクティブマトリクス型液晶表示装置の概略の構成図である。液晶表示装置は、アクティブマトリクス基板と対向基板との間に液晶が挟まれた構造を有している。アクティブマトリクス基板は、ガラス基板等の透光性基板10上に画素マトリクス回路11、画素マトリクス回路11を駆動するためのゲートドライバ回路12及びソースドライバ回路13が形成されている。ドライバ回路12、13はそれぞれゲート配線、ソース配線によって画素マトリクス回路11に接続されている。

【0025】更に、透光性基板10上には、ドライバ回路12、13へ電力や制御信号を入力するための外部端子が形成され、この外部端子にFPC14が接続されている。

【0026】対向基板は、ガラス基板等の透光性基板15表面にITO膜等の透明導電膜が形成されている。更に、対向基板側の透光性基板20表面には必要であれば配向膜や、カラーフィルタが形成されている。透明導電膜は画素マトリクス回路11の画素電極に対する対向電極であり、画素電極、対向電極間に形成された電界によって液晶材料が駆動される。

【0027】図6は液晶表示装置の1画素の等価回路である。図2は液晶表示装置のアクティブマトリクス基板の1画素ぶんの上面図である。また、図1は画素マトリクス回路の断面図であり、図2の鎖線A-A'に沿った断面図に対応する。

【0028】図6に示すように、画素マトリクス回路11においてゲート配線105が行ごとに形成され、ソース配線107が列ごとに形成されている。ゲート配線105、ソース配線107の交差部近傍には、画素TFT20が形成されている。画素TFT20のソース領域にはソース配線107が接続され、ドレン領域には液晶セル21、保持容量22が接続されている。

【0029】液晶セル21は画素電極115と対向基板側の透明電極を対向する電極対に、液晶を誘電体とするコンデンサー構造を有し、画素電極115によって画素TFT20に電気的に接続されている。

【0030】保持容量22は、画素電極115と画素マ

トリクス回路11全面に形成された透明導電膜とを対向する電極対とし、透明導電膜上に形成される絶縁膜を誘電体とするコンデンサー構造を有する。透明導電膜は画素マトリクス回路11で一体的に形成されるため、保持容量の電極として機能すると共に、電極の電位を固定するための共通配線23としても機能する。

【0031】図1に示すように、画素TFTは下地膜101が形成されたガラス基板100上に作製される。画素TFTは半導体層103、ゲート絶縁膜104、ゲート配線105が順次に積層された、トップゲート型TFTである。

【0032】半導体層103には、ソース領域のコンタクト部Co1においてソース配線107が接続され、ドレン領域のコンタクト部Co2においてドレン電極108が接続されている。

【0033】画素TFT20を覆って、塗化シリコンでなる保護膜111、BCBでなる平坦化膜112が形成されている。平坦化膜112上には、明導電膜113と、誘電体となる絶縁膜114、画素電極115がこの順序で積層されて、保持容量(コンデンサー)を形成している。

【0034】保護膜111、平坦化膜112、透明導電膜113、絶縁膜114を貫通してドレン電極108とのコンタクト部Co3にコンタクトホールが形成され、ドレン電極108と画素電極115が接続されている。

【0035】表示領域のほとんどにおいて、画素電極115と透明導電膜113によって、絶縁膜114を挟む構造となっているので、大面積の保持容量が形成される。透明導電膜113は全ての画素に一体化されており、その電位が一定に保たれている。

【0036】以下、図3～図5を用いて、画素マトリクス基板の作製方法を説明する。なお、ここでは、画素マトリクス回路の1画素に注目して説明をしているが、他の画素も同様である。また、説明は省略するが画素マトリクス回路と同時に、ゲートドライバ回路、ソースドライバ回路も作製される。

【0037】まず、可視光域の光に対して透光性を有する基板を用意する。ここでは、ガラス基板100を用いる。基板100としてガラス基板の以外に、石英基板、PETなどの樹脂基板を用いることができる。

【0038】ここではコーニング社製1737ガラス基板を用いる。ガラス基板100表面に接して下地膜101を形成する。プラズマCVD法で、TEOSガスを原料に厚さ200nmの酸化シリコン膜を下地膜101として成膜する。そして、400°C、4時間、下地膜101を加熱する。

【0039】次に、下地膜101上に画素TFT20を作製する。本発明はTFT構造によらないため、公知の手段を用いてTFTを作製することができる。ここで

は、トップゲート型TFTを作製する。もちろんボトムゲート構造とすることもできる。

【0040】下地膜101上にPECVD法によりH₂ガスで希釈したSiH₄を用いて、厚さ500nmの非晶質シリコン膜を成膜する。PECVD法の代わりに減圧CVD法を用いることもできる。非晶質シリコン膜230を450℃、1時間加熱して水素出し処理をする。非晶質シリコン膜内の水素原子は5原子%以下、好ましくは1%以下とする。水素出し処理後の非晶質シリコン膜にエキシマレーザ光を照射して多結晶（結晶性）シリコン膜130を形成する。レーザ結晶化の条件は、レーザ光源としてXeClエキシマレーザを用い、光学系によりレーザ光を線状に整形し、パルス周波数を30Hz、オーバーラップ率を96%、レーザエネルギー密度を35.9mJ/cm²とする。（図3（A））

【0041】非晶質シリコン膜の成膜方法はPECVD法の他に、LPCVD法やスパッタ法を用いることができる。また、非晶質シリコンを結晶化させるレーザにはエキシマレーザのようなパルス発振型の他、Arレーザのような連続発振型のレーザを用いても良い。また、レーザ結晶化の代わりにハロゲンランプや水銀ランプを用いるランプアニール工程、あるいは600℃以上の加熱処理工程を用いることができる。

【0042】多結晶シリコン膜130を島状にパターニングして、半導体層103を形成する。半導体層103を覆って、ゲート絶縁膜104となる窒化酸化シリコン膜131を成膜する。酸化窒化シリコン膜131はPECVD法で、原料ガスにSiH₄とNO₂を用い、厚さ120nmに成膜する。窒化シリコン膜131上に、導電膜を成膜し、パターニングしてゲート配線105を形成する。ゲート配線105を構成する導電膜はモリブデン－タングステン合金(Mo-W)膜とした。（図3（B））

【0043】レジストマスクを形成し、このマスクを用いて窒化酸化シリコン膜131をパターニングして、ゲート絶縁膜104を形成する。ゲート配線105、ゲート絶縁膜104をドーピングマスクにして、イオンドーピング法により半導体層103にリンを添加する。半導体層103には、チャネル形成領域132、n⁺型のソース領域134、n⁺型のドレイン領域135、n⁻型の低濃度不純物領域が自己整合的に形成される。（図3（C））

【0044】次に、層間絶縁膜106を約1μmの厚さに形成する。まず25nm厚の窒化シリコン膜を形成し、その上に900nm厚の酸化シリコン膜を形成する。窒化シリコン膜、酸化シリコン膜はPECVD法で成膜する。

【0045】層間絶縁膜106に対してコンタクトホールを形成し、チタン／アルミニウム／チタンの3層構造でなる金属層を形成し、パターニングしてソース配線1

07、ドレイン電極108を形成する。こうして図3（D）に示すように画素TFT20が完成する。説明を省略したが、公知のCMOS工程を用いて、ドライバ回路12、13にはn型、p型のTFTが作製される。

【0046】画素TFT20を覆って、基板100全面に窒化シリコンでなる保護膜111を成膜する。窒化シリコンはPECVD法により成膜し、その厚さは200nm～400nmとすればよく、ここでは330nmとした。

【0047】そして、窒化シリコンでなる保護膜111に、ドライエッチングによりコンタクトホール111aを形成する。エッチングガスにはCF₄、O₂、He₂の混合ガスを用いる。（図4（A））

【0048】次に、ガラス基板100全面に、画素TFT20を覆って平坦化膜（樹脂膜）112を形成する。本実施例では、BCB膜を形成する。スピニコートによりBCBの溶液をスピニコートィングし、引き続きコータを回転させて溶媒を蒸発させる。加熱炉において、280℃、窒素雰囲気で1時間焼成して、BCB膜112を形成する。BCB膜の厚さは、ドレイン電極108上で1.2μmとする。

【0049】BCBでなる平坦化膜112を成膜することにより、画素TFTによる凹部が埋められて、平坦な表面を得ることができる。平坦な平坦化膜112表面に接して、透明導電膜113を厚さ100～200nmに成膜する。（図4（B））

【0050】平坦化膜112としては、スピニコート法で成膜できる樹脂材料が好ましく、BCBの他、アクリル（ポリメチルメタクリレート）膜、ポリイミド膜を形成することもできる。本実施形態では、保持容量の誘電体をCVD法で成膜するため、成膜温度に耐えうるBCB膜を形成する。

【0051】透明導電膜113としては、金属酸化物を用いることができ、ITO、酸化インジウム、酸化スズ等を成膜すればよい。ここでは、スパッタ法によってITO（酸化インジウムスズ）膜を100nm厚さに成膜する。ターゲット材料にITOを用い、スパッタガスにアルゴンと酸素との混合ガスを用い、成膜時の圧力を3×10⁻³torrに、成膜時の基板温度は室温とする。また、成膜は1.5AのDC電流制御で行う。

【0052】透明導電膜113にコンタクト部Co3に対するコンタクトホール113aを形成する。コンタクトホール113aは保護膜111のコンタクトホール111aと同じ位置に、ほぼ同じ大きさで形成する。

【0053】保持容量の誘電体となる絶縁膜114を成膜する。絶縁膜114としては、酸化シリコン、窒化シリコン、窒化酸化シリコンを成膜すればよく、膜厚は100～250nmとすればよい。ここでは、厚さ150nmの酸化シリコン膜をPECVD法で成膜する。原料ガスはH₂ガスで希釈したSiH₄とO₂を用い、基板温度を200～300℃、ここでは300℃で成膜する。

【0054】絶縁膜114の成膜時には、透明導電膜113のコンタクトホール113aの底部で、樹脂でなる平坦化膜111が露出されているが、平坦化膜111をBCB膜で成膜したため、絶縁膜114の成膜時に平坦化膜が変質することはない。絶縁膜114をCVD法で成膜することで、透明導電膜113のコンタクトホール113aの側部113bにおける絶縁膜114の被覆性は良好であった。(図5(A))

【0055】もちろん、絶縁膜114はスパッタ法で成膜することが可能であるが、段差被覆性及びスループットの点で、CVD法のほうが格段に優れている。絶縁膜114をスパッタ法で成膜した場合には、コンタクトホール113aの底部において、平坦化膜114がスパッタガスに用いたO₂によりスパッタされ、若干えぐれが確認される。

【0056】次に、酸化シリコンでなる絶縁膜114及びBCBでなる平坦化膜112にコンタクト部Co3に対するコンタクトホール114a、112aを形成する。コンタクトホール114a、112aの開口には同じフォトレジストマスクを用いた。(図5(B))

【0057】まず、酸化シリコンでなる絶縁膜114をフッ酸によりウェットエッチングし、コンタクトホール114aを形成する。コンタクトホール114aは透明導電膜113のコンタクトホール113aよりも内側に開口される。

【0058】次に、同じフォトレジストマスクを用いて、CF4とO₂の混合ガスによりBCBでなる平坦化膜112にコンタクトホール112aを形成する。こうして図5(B)に示すように、ドレイン電極108が露出される。なお、平坦化膜112は1μmと厚いので、エッチングの制御が比較的難しいので、コンタクトホール112aの形成と、コンタクトホール114aの形成では異なるフォトレジストマスクを用いてもよい。

【0059】コンタクトホール112a、114aを形成するためのフォトレジストマスクを除去した後、画素電極を形成する透明導電膜を成膜する。この画素電極115も透明導電膜と同様ITO、酸化スズ、酸化インジウム等で形成すればよい。ここでは、透明導電膜114と同じ成膜条件でITO膜を形成する。ITO膜の厚さは115nmした。このITO膜をパターニングして、図1に示すように画素電極115を形成する。

【0060】以上でアクティブマトリクス基板が完成する。そして、公知のセル組工程(配向膜形成、液晶注入工程など)により、アクティブマトリクス基板と対向基板をセル組みし、液晶パネルを製造する。

【0061】本実施形態では画素電極115が絶縁膜114と接する部分では、1対の透明導電膜(画素電極115と透明導電膜113)を対向する電極に、絶縁膜114を誘電体とする保持容量が形成される。本実施形態の画素構造では、保持容量となる領域が画素内のほぼ全

域を占め、実質的に画像表示領域と同一の面積を確保することができる。

【0062】また、絶縁膜114をCVD法で成膜することにより、コンタクトホール113aの側部において、絶縁膜114のみで透明導電膜113と画素電極115とを絶縁分離することが可能になる。この結果、信頼性、歩留まりを向上させることができる。

【0063】【実施形態2】実施形態1において、保持容量22の容量の大きさをできるだけ大きくするには、絶縁膜114をできるだけ薄くするのが望ましいが、絶縁膜114を薄くすることで、コンタクトホール113a側部での絶縁膜114のステップカバレッジが低下してしまう。

【0064】本実施形態は実施形態1の変形例であり、絶縁膜114のステップカバレッジを補って、画素電極115と透明導電膜113とがショートすることをより確実に防止する構成を説明する。

【0065】以下、図8～図11を用いて本実施形態を説明する。なお、図8～図11において、図1～図7と同じ符号は同じ構成要素を示す。

【0066】図8は画素マトリクス回路の1画素の断面図であり、図9は画素マトリクス回路の1画素の上面図である。図8は、図9の鎖線B-B'による断面図である。図8に示すように、画素電極202とドレイン電極108とを接続するためのコンタクトホール201aにおいて、透明導電膜113の端部は絶縁膜201及び絶縁膜114によって覆われている。

【0067】図9に示すように、絶縁膜201は画素ごとに分離して形成されている。絶縁膜201は、1μm以上に達するコンタクトホールの側部を全て覆うができるよう、スピニコート法により成膜できる樹脂材料で形成される。例えば、BCB、アクリル(ポリメチルメタクリレート)、ポリイミドなどを用いることができる。

【0068】2層の絶縁膜201と114により、透明導電膜113と画素電極201とが絶縁されるため、より確実にショートを防止できる。以下、図10、図11を用いて、本実施形態の画素マトリクス回路の作製工程を説明する。

【0069】まず、実施形態1で説明した工程に従つて、図5((A))に示すプロセスを行う。図10(A)が図5(A)に対応する。

【0070】次に、フォトレジストマスクを形成し、フッ酸により酸化シリコンでなる絶縁膜114をエッチングして、コンタクトホール114aを形成する。(図10(B))

【0071】新たに、フォトレジストマスクを形成する。このマスクを用いて、CF₄、O₂、He₂の混合ガスによりBCBでなる平坦化膜をドライエッチングして、コンタクトホール112aを形成する。なお、実施

形態1と同様に、コンタクトホール114a、112aを形成するためのフォトレジストマスクは同じにすることができる。(図10(C))

【0072】基板100全面に樹脂膜205を形成する。ここでは、アクリルをスピンドルコート法で形成する。アクリルの厚さは絶縁膜114上において、0.5μmとなるようにする。(図11(A))

【0073】次に、フォトレジストマスクを形成し、CF₄、O₂、He₂の混合ガスにより、アクリルでなる樹脂膜205をドライエッティングし、ほぼドレイン電極108上以外の樹脂膜205を除去し、画素ごとに分断された絶縁膜201を形成する。このとき同時に、絶縁膜201にはコンタクトホール201aが形成される。コンタクトホール201aは平坦化膜112のコンタクトホール112aの内側に形成されるため、コンタクト部CO3に形成された平坦化膜112、絶縁膜114のコンタクトホールの側部を全て絶縁膜201で覆うことができる。(図11(B))

【0074】最後に、フォトレジストマスクを除去した後、ITO膜を厚さ120nmの厚さにスパッタ法で成膜し、パターニングして、画素電極202を形成する。以上により、画素マトリクス回路が完成する。(図8)

【0075】本実施形態では、保持容量の誘電体(絶縁膜114)とは別の絶縁膜201によって、画素電極202と透明導電膜113とを絶縁することができる。この構成のため、絶縁膜114の膜厚は任意に設定することが可能になり、透過率、保持容量の容量だけを考慮して設定することもできる。絶縁膜114の膜厚は10~200nmの間で任意に設計することができる。膜厚の下限は絶縁膜114をCVDで均一に成膜可能な厚さであり、また絶縁破壊を考慮すると、現状は10nm程度である。

【0076】特に、透過率を向上させるために、絶縁膜114と透明導電膜113の界面、絶縁膜114と画素電極との界面で光が反射されないように、絶縁膜114の膜厚を決定すればよい。絶縁膜114の厚さをd、屈折率をn、光の波長をλとすると、この条件はnd=λ/4で与えられる。

【0077】[実施形態3] 本実施形態も実施形態2と同様実施形態1の変形例であり、保持容量の誘電体となる絶縁膜のステップカバレッジを補うための構成に関する。図12、図13を用いて本実施形態を説明する。なお、図12、図13において、図1~図7と同じ符号は同じ構成要素を示す。

【0078】本実施形態では、BCBでなる平坦化膜112上に透明導電膜113、絶縁膜232、画素電極233が順次に積層されて形成されており、保持容量は透明導電膜113、画素電極233を対向する電極対に、絶縁膜232を誘電体とする。

【0079】図1に示すように実施形態1では、保持容

量の誘電体となる絶縁膜114が透明導電膜113のコンタクトホール113aの側部に接しているが、本実施形態では、図12に示すように、保持容量の誘電体となる絶縁膜232は透明導電膜113の側部に直接接してなく、この側部に接する絶縁膜231を別途形成する。

【0080】この構成により、画素電極233とドレイン電極108とを接続するためのコンタクトホールにおいて、画素電極233と透明導電膜113とを絶縁膜231と絶縁膜232とで絶縁できるため、ショートをより確実に防止することができる。

【0081】以下、図13、図14を用いて、本実施形態の画素マトリクス回路の作製方法を説明する。

【0082】まず、実施形態1の作製工程に従って、図4(C)に示す工程までを行う。図13(A)は図4(C)の断面図に対応する。

【0083】次に、基板100全体を覆って、PECVD法で、酸化シリコン膜235を成膜する。酸化シリコン膜235の厚さは10~300nm、ここでは100nmの厚さに成膜する。CVD法で酸化シリコン膜235を成膜したため、透明導電膜113のコンタクトホールの側部113bは段差被覆性は良好になる。(図13(B))

【0084】酸化シリコン膜235をパターニングして、ドレイン電極108上を覆う絶縁膜231を形成する。絶縁膜231のパターンは実施形態2の絶縁膜201と同様であり、画素電極233ごとに分断されている。(図13(C))

【0085】絶縁膜231、透明導電膜113を覆って、基板100全面に絶縁膜232を成膜する。ここでは、厚さ150nmの酸化シリコン膜をPECVD法で成膜する。絶縁膜232は保持容量の誘電体として機能する。(図14(A))

【0086】次に画素電極233とドレイン電極108を接続するために、絶縁膜231及び232、平坦化膜112にコンタクトホール231a、232a、121aを形成し、ドレイン電極108表面を露出させる。(図14(B))

【0087】まず、フォトレジストマスクを形成し、フッ酸を用いて絶縁膜231と232をエッティングして、コンタクトホール231a、232aを形成する。次に、同じフォトレジストマスクを用いて、CF₄、O₂、He₂の混合ガスにより平坦化膜112をエッティングして、コンタクトホール112aを形成する。

【0088】最後に、ITO膜を厚さ120nmの厚さにスパッタ法で成膜し、パターニングして、画素電極202を形成する。以上により、画素マトリクス回路が完成する。(図12)

【0089】本実施形態も実施形態2と同様に、保持容量の誘電体(絶縁膜232)とは別の絶縁膜231によって、画素電極233と透明導電膜113を絶縁するこ

とができるため、絶縁膜232の膜厚を10～200nmの間で任意に設定することが可能になる。

【0090】[実施形態4] 本実施形態は実施形態1の変形例であり、薄膜トランジスタの半導体層を遮蔽する遮光膜を形成した例である。

【0091】図15に本実施形態の画素マトリクス回路(1画素分)の断面図を示す。図15において図1と同じ符号は同じ構成要素を示す。また、図15において、絶縁膜302が絶縁膜114に、画素電極303が画素電極202に対応し、同じパターンで形成されている。

【0092】遮光膜301はチタンや、クロム等の金属膜で形成し、可視光域の光を全反射させる。遮光膜301は薄膜トランジスタの半導体層103と交差するように、透明導電膜113に接して形成されている。この構成により、隣り合う画素電極303と303'の間から侵入する光を反射して、薄膜トランジスタの光劣化を防止している。

【0093】以下、図16を用いて本実施形態の画素マトリクス回路の作製工程を説明する。まず、実施形態1の作製工程に従って、図4(B)に示す工程までを行う。次に、透明導電膜113上に厚さ100～300nmのチタン膜をスパッタ法で成膜し、パターニングして遮光膜301を形成する。ここではチタン膜の厚さは200nmとする。(図16(A))

【0094】次に、保持容量の誘電体となる絶縁膜302を成膜する。ここでは、原料ガスはH₂ガスで希釈したSiH₄とNO₂を用い、PECVD法により厚さ150nmの窒化酸化シリコン膜を成膜する。絶縁膜302をCVD法で成膜することにより、絶縁膜302により、透明導電膜113のコンタクトホール113a及び、遮光膜301をカバレッジ良く覆うことができる。(図16(C))

【0095】次に、絶縁膜302、平坦化膜112にコンタクト部Co3に対するコンタクトホール113aを形成し、ドレイン電極108の表面を露出する。そして、スパッタ法で150nmのITO膜を成膜し、パターニングして画素電極303を形成する。(図15)

【0096】[実施形態5] 本実施形態は実施形態2の変形例である。本実施形態も実施形態4と同様、薄膜トランジスタの半導体層を覆う遮光膜を形成する例を示す。

【0097】図17に本実施形態の画素マトリクス回路の断面図を示す。図17において図9と同じ符号は同じ構成要素を示す。また、図17において、絶縁膜312が絶縁膜114に、絶縁膜313が絶縁膜201に、画素電極314が画素電極202に対応し、同じパターンで形成されている。

【0098】以下、図18を用いて、本実施形態の画素マトリクス回路の作製工程を示す。

【0099】まず、実施形態1の作製工程に従って、図

4(C)の構成を得る。そして、スパッタ法で厚さ200nmのチタン膜を成膜し、パターニングして、遮光膜311を形成する。

【0100】次に、保持容量の誘電体となる絶縁膜312を成膜する。ここでは、PECVD法で原料ガスにH₂ガスで希釈したSiH₄とNO₂を用いて、厚さ150nmの酸化窒化シリコン膜を成膜する。絶縁膜312をCVD法で成膜することにより、絶縁膜312により、透明導電膜113のコンタクトホール113a及び、遮光膜311による段差(点線で囲む部分)をカバレッジ良く覆うことができる。(図18(C))

【0101】次に、実施形態2と同様に(図10参照)、フッ酸により絶縁膜312をエッチングして、コンタクトホール114aを形成し、更に平坦化膜112をエッチングしてコンタクトホール112aを形成し、ドレイン電極108表面を露出させる。

【0102】実施形態2と同様に(図11参照)、基板100全面に、アクリル膜をスピンドル法で形成し、パターニングして、コンタクトホール313aを有する絶縁膜313を形成する。

【0103】最後に、ITO膜を厚さ120nmの厚さにスパッタ法で成膜し、パターニングして図17に示すように画素電極314を形成する。以上により、画素マトリクス回路が完成する。

【0104】[実施形態6] 本実施形態も実施形態2の変形例であり、薄膜トランジスタの半導体層を遮蔽する遮光膜を形成した例を示す。

【0105】図19に本実施形態の画素マトリクス回路の断面図を示す。図19において図9と同じ符号は同じ構成要素を示す。

【0106】実施形態4、5では保持容量の電極となる透明導電膜上に形成したが、本実施形態では、遮光膜321を透明導電膜と薄膜トランジスタの間に形成する。ここでは平坦化膜の間に形成する。

【0107】平坦化膜322、平坦化膜323はBCBで成膜されている。平坦化膜322を成膜した後、遮光膜321を形成し、この表面を覆って基板全面に平坦化膜323を形成する。

【0108】実施形態5、6では遮光膜を反映した凹凸が画素電極の表面に生ずるが、本実施形態では、遮光膜321の凹凸は平坦化膜323により埋め流ることができ、ディスクリネーションを抑えることができる。

【0109】なお、本実施形態の構成を、実施形態2の以外の実施形態1、3にも適用することができるのは言うまでもない。

【0110】[実施形態7] 本実施形態は実施形態1の変形例である。保持容量の透明導電膜を成膜する前に、平坦化膜表面にCVD法やスパッタ法で絶縁膜を成膜したものである。図20、図21を用いて、本実施形態を説明する。なお、図20、図21において、図1～

図7と同じ符号は同じ構成要素を示す。

【0111】図20に示すように、BCBでなる平坦化膜114上には、CVD法で成膜された酸化シリコンでなる絶縁膜331が形成され、絶縁膜331上に透明導電膜113と、誘電体となる絶縁膜114、画素電極115とでなる保持容量が形成される。

【0112】無機材料でなる絶縁膜331を形成することで、透明導電膜113のパターンに用いられる薬液によって、樹脂膜が膨潤などの変質、変形を防止できる。また、絶縁膜114をスパッタ法で成膜した場合、樹脂でなる平坦化膜112がスパッタガスに含まれる酸素によってスパッタエッチングされることが防止できる。

【0113】誘電体となる絶縁膜114と透明導電膜113の下地となる331はほぼ同じ組成の酸化シリコン膜で形成されている。同じ組成となるようにすることで、絶縁膜114と331にドレイン電極108に達するコンタクトホールを形成する際に、同じエッチング液または同じエッティングガスに対して、エッティングレートが等しくなるため、工程の制御が容易になる。以下、図21を用いて、本実施形態の画素マトリクス回路の作製工程を説明する。

【0114】まず、実施形態1で説明した工程に従つて、BCBでなる平坦化膜112を形成する。(図4(B)参照。)そして、平坦化膜112表面に接して、酸化シリコン膜でなる絶縁膜331をPECVD法で成膜する。絶縁膜膜331の厚さは10～300nm、ここでは100nmの厚さに成膜する。絶縁膜331上に実施形態1と同様に、透明導電膜113、酸化シリコンでなる絶縁膜113を成膜する。(図20(A))

【0115】ここでは、絶縁膜331と絶縁膜114を同じ成膜条件で成膜して、フッ酸に対するエッティングレートが同じになるようとする。原料ガスはH₂ガスで希釈したSiH₄とO₂を用いる。また、酸化シリコンの代わりに、原料ガスに、原料ガスはH₂ガスで希釈したSiH₄とNO₂を用いて、窒化酸化シリコン膜、窒化シリコン膜を成膜しても良い。

【0116】次に画素電極233とドレイン電極108を接続するために、絶縁膜114、331にコンタクトホール114a、331aを形成する。フォトレジストマスクを形成し、フッ酸を用いて絶縁膜114と331をエッチングして、コンタクトホール114a、331aを形成する。(図20(B))

【0117】次に、コンタクトホール114a、331aの形成に用いたフォトレジストマスクを用いて、CF₄、O₂、He₂の混合ガスにより平坦化膜112をエッチングして、コンタクトホール112aを形成する。(図20(C))

【0118】フォトレジストマスクを除去した後、ITO膜を厚さ120nmの厚さにスパッタ法で成膜し、パターニングして、画素電極202を形成する。以上によ

り、画素マトリクス回路が完成する。(図20)

【0119】本実施形態は実施形態1以外の実施形態2～6にも適用できるのはいうまでもなく、保持容量の電極となる透明導電膜を成膜する前に平坦化膜表面に保持容量となる誘電体と同じ絶縁膜を成膜すればよい。

【0120】【実施形態8】本実施形態は実施形態5の変形例であり、積層構造は実施形態5と同様であるが、上面パターンを変形した例である。

【0121】図22は、本実施形態の画素マトリクス回路の上面図を示す。また、図23は図22の鎖線Z-Z'に沿った断面図である。図24～図26は作製工程を示す上面図である。図22では図面が煩雑になるのを避けるために、保護膜など一部構成要素を省略し、積層状態と各部材のパターンが同時に分かるようにした。

【0122】作製工程は実施形態2や5と同様である。ここでは、ガラス基板の代わりに、石英基板を使用した。薄膜トランジスタを特願平9-55633号、特願平9-165216号、特願平9-212428号に記載の方法で作製する。即ち半導体層401を本出願人がCGS(Continuous Grain Silicon)と呼ぶ(月刊FPD Intelligence 1998年7月号 98-102頁参考)、粒界にほとんど不対結合がない、優れた結晶粒の連続性を有する結晶性シリコンで形成した。

【0123】図24に示すように、半導体層401は図示しないゲート絶縁膜を介してゲート配線402と交差している。ここでは、ゲート絶縁膜は半導体層401の熱酸化膜と、CVD法で成膜された窒化酸化シリコンの2層構造となっている。ゲート配線402は陽極酸化物で被覆されたアルミニウムである。

【0124】半導体層401を屈曲させることにより、トリプルゲート構造の薄膜トランジスタを形成する。ゲート配線402を分岐させてマルチゲート構造とすることも可能であるが、本実施形態のようにゲート配線402を直線状に、半導体層403を屈曲させるすることにより、マスク合わせのアライメントが容易であり、また開口率を高くすることができる。

【0125】次に、ゲート配線402を覆って、酸化シリコンでなる層間絶縁膜403を形成する。コンタクト部Co4、Co5において半導体層401に達するコンタクトホールを層間絶縁膜403に形成し、ソース配線404、ドレイン電極405を形成する。(図24)

【0126】次に、石英基板全面を覆って、PECVD法で厚さ330nmの窒化シリコン膜を成膜し、パターニングして保護膜406を形成する。このパターニングでは、図25に示すように、窒化シリコン膜はドレイン電極405上のコンタクト部Co6だけでなく、画素電極413と重なる部分をできるだけ除去した。即ち、透過率を向上させるために、薄膜トランジスタを覆っている部分を除いて、表示部に存在する窒化膜をできるだけ除去した。

【0127】この保護膜406の構造を実施形態1～6に適用することは容易である。

【0128】次に、図26に示すように、石英基板全面にBCBでなる平坦化膜407を形成する。平坦化膜407上に厚さ200nmのチタン膜を成膜し、パターニングして遮光膜408を形成する。遮光膜408は薄膜トランジスタごと(画素ごと)に分断されて形成されて、ソース配線402とドレイン電極405の隙間に重なって形成した。この隙間で露出している半導体層402と遮光膜408が交差するため、半導体層402に光が照射されることが防止できる。

【0129】次に、遮光膜408を覆って、基板全面にBCB膜でなる平坦化膜409を形成する。平坦化膜409に接して、厚さ115nmのITO膜を透明導電膜409として基板全面にスパッタ法で成膜した。そして、図27に示すように、透明導電膜410に平坦化膜409に達するコンタクトホール410aを形成する。このコンタクトホール410aは、保護膜406に形成されたコンタクトホール406aと同じ位置、同じ大きさに形成されるようにした。

【0130】基板全面に、PECVD法で保持容量の誘電体となる絶縁膜411を形成する。ここでは絶縁膜411として厚さ150nmの酸化シリコン膜を形成する。

(図23参照)

【0131】同じフォトレジストマスクを用いて、絶縁膜411及び平坦化膜407、409にコンタクトホールを形成し、コンタクト部Co6においてドレイン電極405を露出させる。

【0132】次に、基板全面にアクリル膜をスピント法で成膜し、図22に示すようにパターニングして絶縁膜412を形成する。絶縁膜412には、コンタクト部Co6において、ドレイン電極405に達するコンタクトホールが形成されており、またトランジスタごとに分離されており、ほぼドレイン電極405を覆っている。

【0133】最後に、スパッタ法でITO膜を厚さ110nmに成膜し、パターニングして画素電極413を形成する。画素電極413はコンタクト部Co6においてドレイン電極405に接続されている。以上で画素マトリクス回路が完成する。

【0134】上述したように、本出願人がCGSと呼ぶ結晶性シリコンで半導体層401を形成したため、同じ石英基板上に画素マトリクス回路と同時に作製されるゲートドライバ回路、及びソースドライバ回路も高性能にことができ、高周波数のクロック信号を処理することができあり、さらにプリチャージ回路も薄膜トランジスタで同じ石英基板上に作製することができた。

【0135】本実施形態の画素構造は、実施形態5だけでなく、他の実施形態に適用できることは明らかである。例えば、実施形態1に適用すると場合には絶縁膜4

10

12を省略した構成になり、実施形態3に適用する場合には、絶縁膜231のパターン形状は絶縁膜412と同様とすればよい。また、実施形態4、5に対応する場合には、遮光膜408と透明導電膜410との積層順序を変更することで、容易に行える。

【0136】[実施形態9] 本実施形態は実施形態8の変形例であり、絶縁膜412のパターンを変形した。

【0137】図22、図23に示すように、実施形態8では隣接する画素電極413の間には、アクリルでなる絶縁膜412と、酸化シリコンでなる絶縁膜413が露出する。

【0138】これは画素電極を形成するために除去される部分のITO膜の下地が、アクリルと酸化シリコンという材料の異なる膜になっていることを示している。このため、アクリル上と酸化シリコン上とで、ITO膜のエッチングレートが大きく異なるという問題点が発生することがあった。

【0139】本実施形態はこの問題点を解消するため、アクリルでなる絶縁膜412のパターンを変形し、図28に示すように、エッチングされる部分のITO膜の下地をアクリルでなる絶縁膜501に統一した。なお、図28において、図22と同じ符号は同じ構成要素を示す。

【0140】このため、絶縁膜421はドレイン電極405だけでなく、ゲート配線402、ソース配線404をも覆って形成され、画素マトリクス回路で一体になる。

【0141】また実施形態1、3では、除去される部分のITO膜の下地は保持容量の誘電体となる絶縁膜113、232だけであるので、上記の問題点は解消されている。

【0142】[実施形態10] 本実施形態は、本発明を電子機器に応用した例である。本実施形態の電子機器は、実施形態1～9において説明したアクティブマトリクス基板を用いた液晶表示装置を搭載している。この様な電子機器としては、ビデオカメラ、スチルカメラ、プロジェクター、プロジェクションTV、ヘッドマウントディスプレイ、カーナビゲーションシステム、パーソナルコンピュータ、携帯情報端末(モバイルコンピュータ、携帯電話、電子書籍等)などが挙げられる。それらの一例を図29に示す。

【0143】図29(A)は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本発明を表示装置2004に適用することができる。

【0144】図29(B)はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本発明を表示装置2102に適用す

50

ることができる。

【0145】図29(C)はモバイルコンピュータ(モバイルコンピュータ)であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本発明は表示装置2205等に適用できる。

【0146】図29(D)はゴーグル型ディスプレイであり、本体2301、表示装置2302、アーム部2303で構成される。本発明は表示装置2302に適用することができる。

【0147】図29(E)はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0148】図29(F)は携帯書籍(電子書籍)であり、本体2501、表示装置2502、2503、記憶媒体2504、操作スイッチ2505で構成される。本発明は表示装置2502、2503に適用することができる。

【0149】以上の様に、本発明の適用範囲は極めて広く、液晶表示装置を画面に用いたあらゆる分野の電子機器(半導体装置)に適用することが可能である。

【0150】

【発明の効果】本発明によって、従来の画素電極と透明導電膜を電極対に用いた保持容量において、画素電極と透明導電膜がショートすることを防止できるため、歩留まりが向上され、また信頼性の高い半導体装置を作製することが可能になった。

【図面の簡単な説明】

【図1】 画素マトリクス回路の断面図。(実施形態1)

【図2】 画素マトリクス回路の上面図。(実施形態1)

【図3】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態1)

【図4】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態1)

【図5】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態1)

【図6】 液晶表示装置の1画素の等価回路。(実施形態1)

【図7】 アクティブマトリクス型液晶表示装置の概略の構成図。(実施形態1)

【図8】 画素マトリクス回路の断面図。(実施形態2)

【図9】 画素マトリクス回路の上面図。(実施形態2)

【図10】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態2)

【図11】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態2)

【図12】 画素マトリクス回路の断面図。(実施形態3)

【図13】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態3)

【図14】 画素マトリクス回路の続く作製工程を説明するための断面図。(実施形態3)

【図15】 画素マトリクス回路の断面図。(実施形態4)

【図16】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態4)

【図17】 画素マトリクス回路の断面図。(実施形態5)

【図18】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態5)

【図19】 画素マトリクス回路の断面図。(実施形態6)

【図20】 画素マトリクス回路の断面図。(実施形態7)

【図21】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態7)

【図22】 画素マトリクス回路の上面図。(実施形態8)

【図23】 図22の鎖線Z-Z'に沿った断面図。(実施形態8)

【図24】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態8)

【図25】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態8)

【図26】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態8)

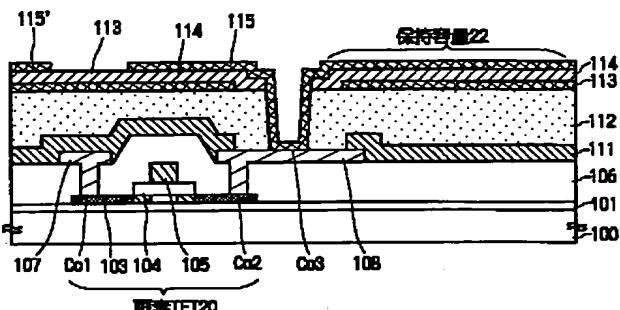
【図27】 画素マトリクス回路の作製工程を説明するための断面図。(実施形態8)

【図28】 画素マトリクス回路の上面図。(実施形態9)

【図29】 電子機器の一例を示す図。

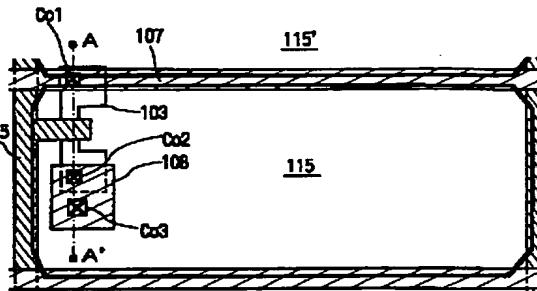
【図30】 従来の画素マトリクス回路の断面図。

【図1】



100:基板 101:下地膜
103:半導体層 104:ゲート絶縁層 105:ゲート電極
106:ドレイン電極 107:ソース電極 108:ドレイン電極
111:保護膜(酸化シリコン)
112:平坦化膜(BCB)
113:遮蔽膜
114:遮蔽膜(酸化シリコン)
115:遮蔽膜(酸化シリコン)

【図2】



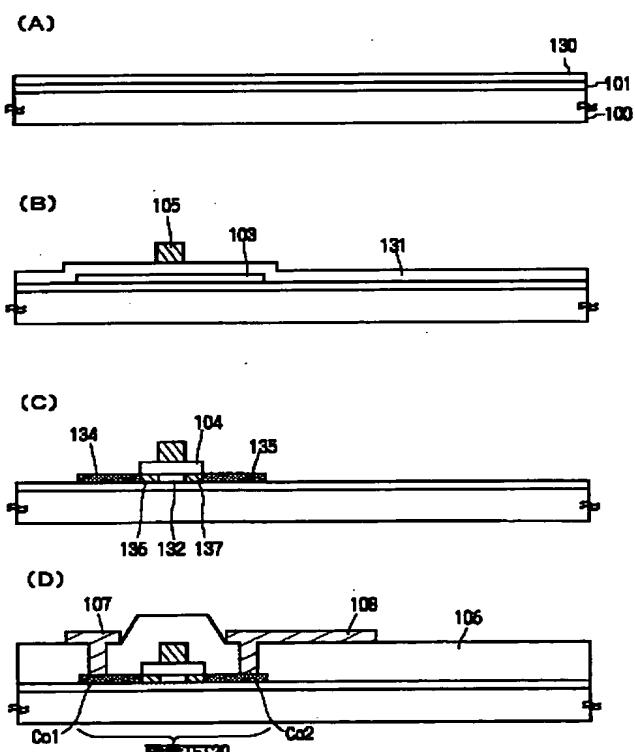
103:半導体層
105:ゲート絶縁層
107:ソース電極
108:ドレイン電極
115, 115':遮蔽膜(酸化シリコン)
Co1, Co2, Co3:コンタクト部

■素マトリクス回路(1箇所)の上面図

■素マトリクス回路の断面図
(図2のA-A'断面)

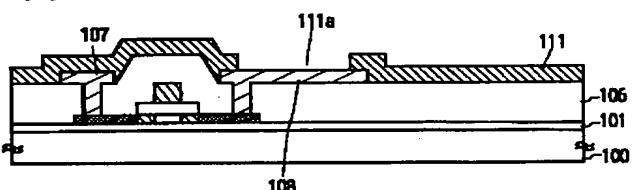
【図4】

【図3】

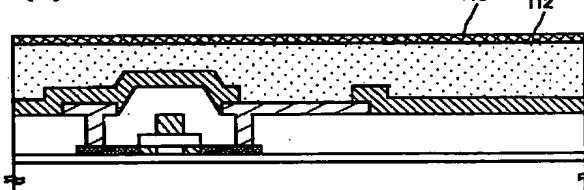


100:基板 101:下地膜 103:半導体層 104:ゲート絶縁層
105:ゲート電極 106:遮蔽膜 107:ソース電極 108:ドレイン電極
130:多結晶シリコン層 131:酸化シリコン層
132:チャネル形成領域 134:ソース領域 135:ドレイン領域
136, 137:仕様成形不純物領域

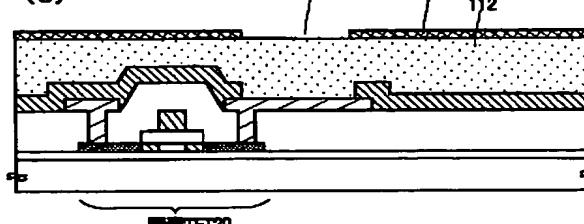
(A)



(B)



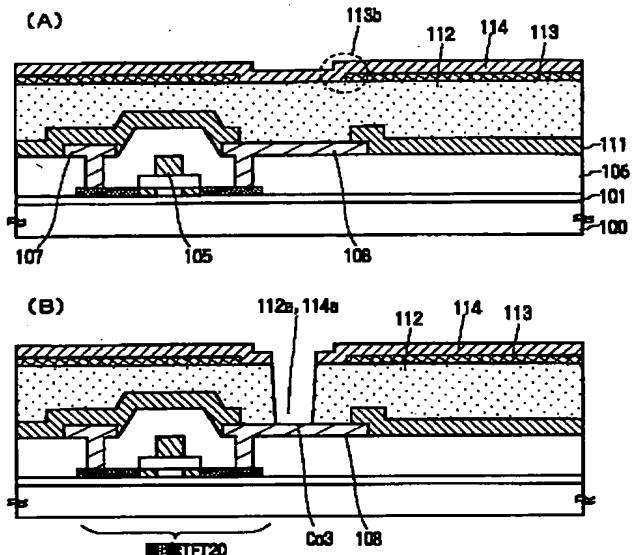
(C)



(D)

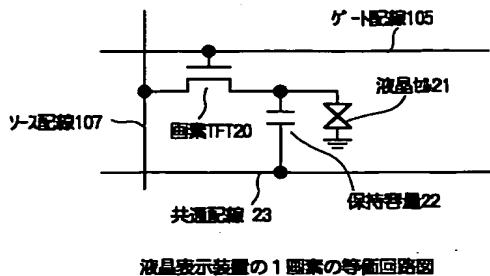
100:基板 101:下地膜 103:半導体層 104:ゲート絶縁層 105:ゲート電極 106:遮蔽膜 107:ソース電極 108:ドレイン電極 111:保護膜(酸化シリコン) 112:平坦化膜(BCB) 113:遮蔽膜 113a:コンタクトホール

【図5】



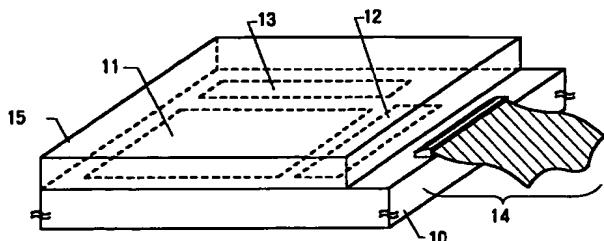
100: 基板 101: 下地膜 103: 半導体膜 104: ゲート電極膜
105: ゲート配線 106: 液晶配線
107: ソース電極 108: ドレイン電極
111: 保護膜(酸化シリコン)
112: 平坦化膜(BCB) 112a: コンタクトホール
113: 液晶層 113a: コンタクトホールの側部
114: 電極膜(酸化シリコン) 114a: コンタクトホール

【図6】



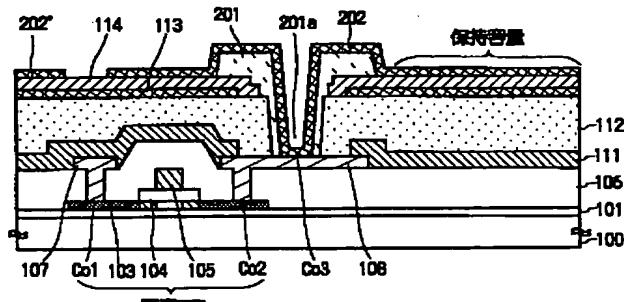
液晶表示装置の1画素の等価回路図

【図7】



10, 15: 透明性基板
11: 画素マトリクス回路
12: ゲートドライバ回路
13: ソースドライバ回路
14: FPC

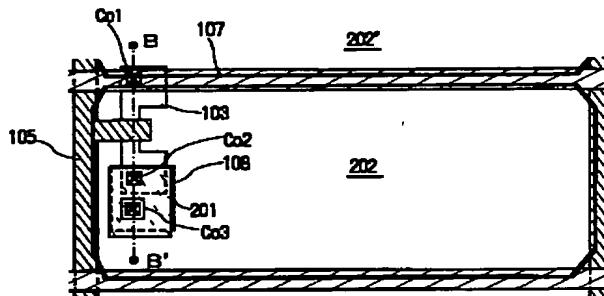
【図8】



100: 基板 101: 下地膜 103: 半導体膜 104: ゲート電極膜
105: ゲート配線 106: 液晶配線 107: ソース電極 108: ドレイン電極
111: 保護膜(酸化シリコン)
112: 平坦化膜(BCB)
113: 液晶層
114: 電極膜(酸化シリコン) 201: 保護膜(アクリル) 201a: コンタクトホール
202: 電極膜(酸化シリコン)

画素マトリクス回路の断面図
(図9B-B'の断面)

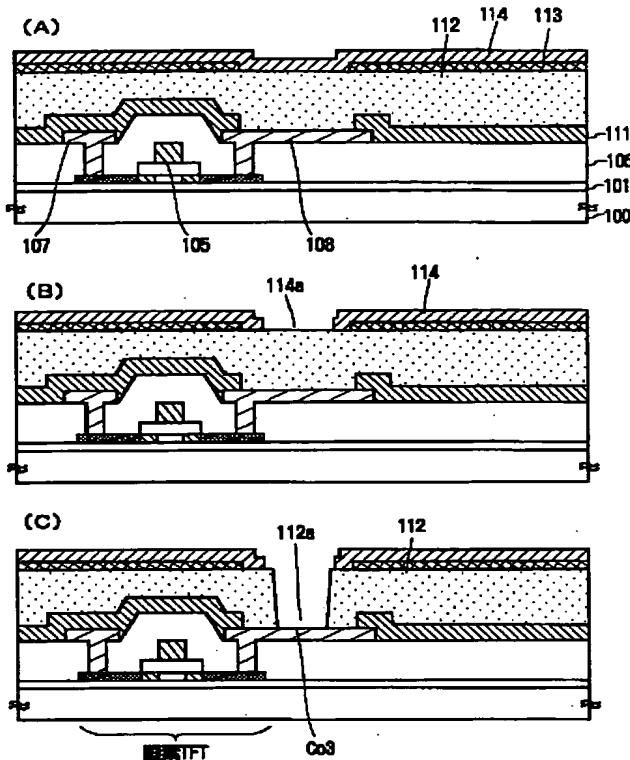
【図9】



103: 半導体層
105: ゲート配線
107: ソース配線
108: ドレイン配線
201: 電極層
202: 電極電極 (透明導電膜)

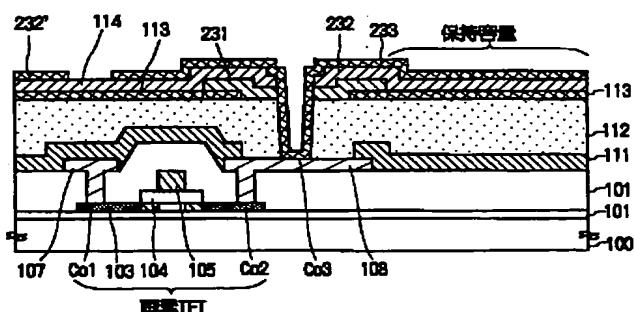
画素マトリクス回路(1画素)の上面図

【図10】



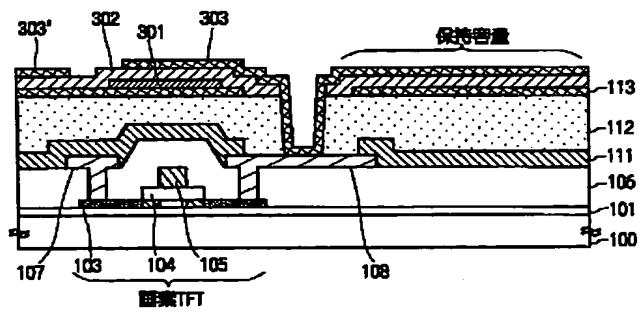
100: 基板 101: 下地膜
102: 開口部 103: 半導体層
104: ゲート配線 105: ソース配線
106: ドレイン配線 107: ソース電極
108: ドレイン電極
111: 保護膜 (酸化シリコン)
112: 平坦化膜 (BCB) 112a: コンタクトホール
113: 電極電極 113a: コンタクトホールの側部
114: 電極 (酸化シリコン膜) 114a: コンタクトホール

【図12】



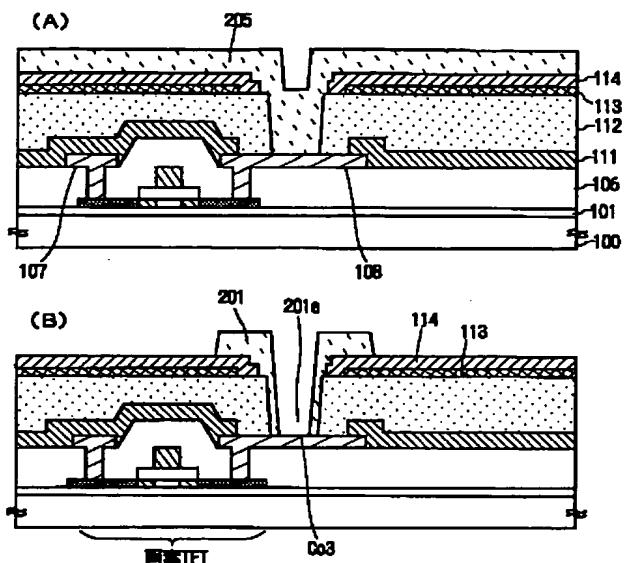
100: 基板 101: 下地膜
102: 開口部 103: 半導体層 104: ゲート配線 105: ゲート電極
106: 保護膜 (酸化シリコン) 107: ソース配線 108: ドレイン配線
111: 保護膜 (酸化シリコン)
112: 平坦化膜 (BCB)
113: 電極電極
201: 電極層 (透明導電膜)
202: 電極電極 (透明導電膜)
203: 電極電極 (透明導電膜)
231: 電極 (酸化シリコン)
232: 電極 (酸化シリコン)
232': 電極 (酸化シリコン)
233: 電極電極 (透明導電膜)

【図15】



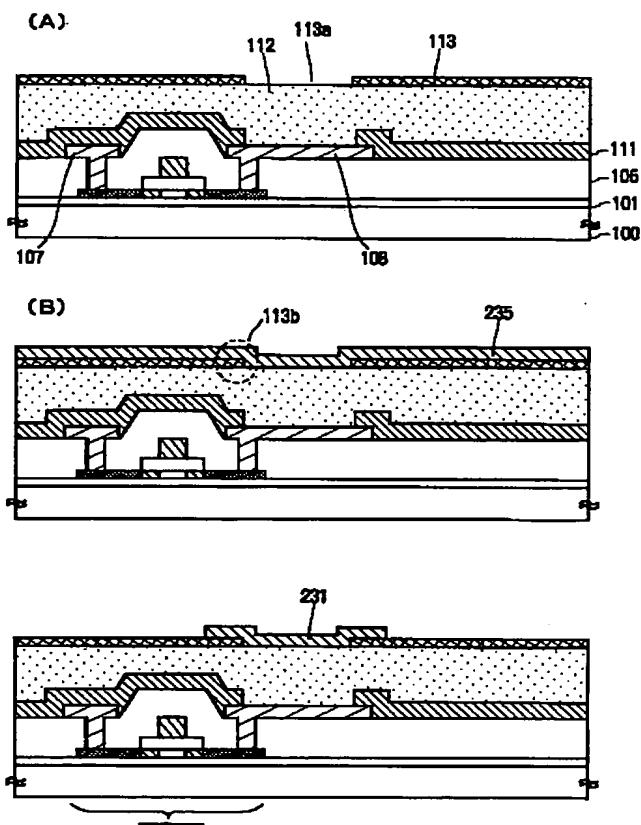
100: 基板 101: 下地膜
102: 開口部 103: 半導体層 104: ゲート配線 105: ゲート電極
106: 保護膜 (酸化シリコン) 107: ソース配線 108: ドレイン配線
111: 保護膜 (酸化シリコン) 112: 平坦化膜 (BCB)
113: 電極電極
301: 電極 (タン)
302: 電極 (酸化シリコン)
303: 電極電極 (透明導電膜)
303': 電極 (酸化シリコン)
303'': 電極 (酸化シリコン)

【図11】



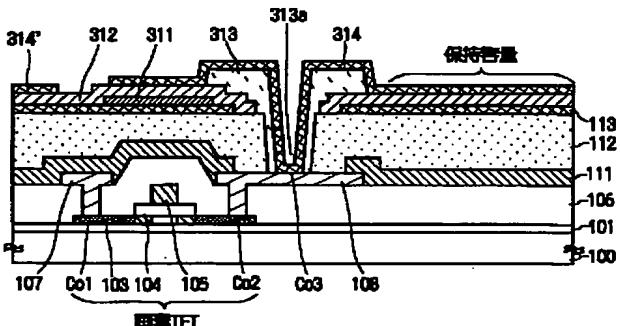
100:基板 101:下地膜
106:平坦化膜 107:ソース配線 108:ドレイン電極
111:保護膜 (酸化シリコン)
112:平坦化膜 (BCB)
113:保護膜
114:絶縁膜 (酸化シリコン)
201:配線 (アクリル) 201a:コンタクトホール
205:配線

【図13】



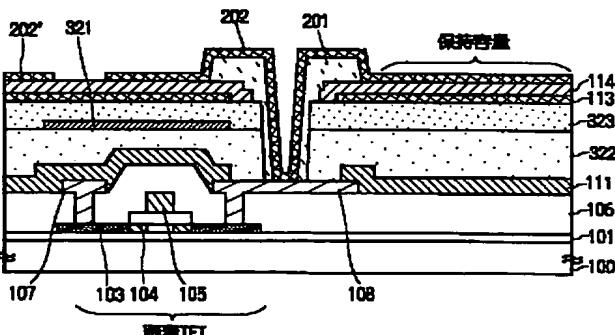
100:基板 101:下地膜
106:平坦化膜 107:ソース配線 108:ドレイン電極
111:保護膜 (酸化シリコン) 112:平坦化膜 (BCB)
113:保護膜 113a:コンタクトホール 114:絶縁膜
201:配線 (アクリル) 201:配線

【図17】



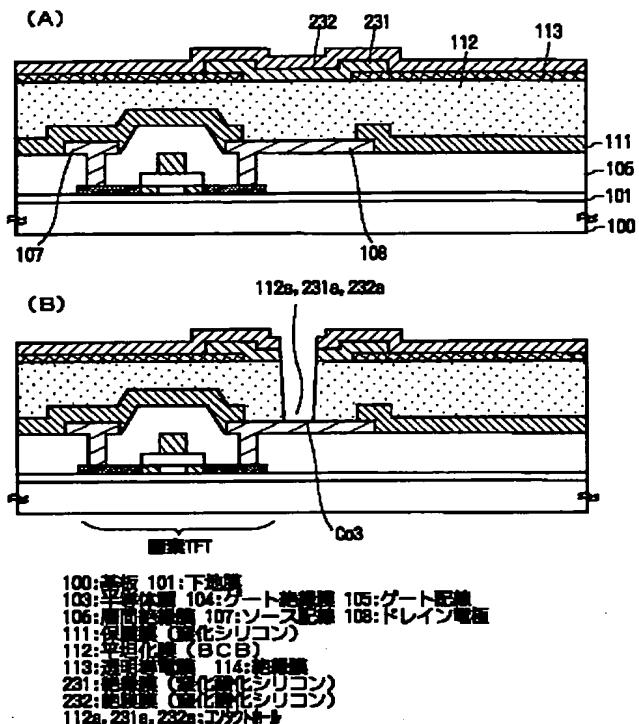
100:基板 101:下地膜
103:平坦化膜 104:ゲート絶縁膜 105:ゲート電極
106:保護膜 107:ソース配線 108:ドレイン電極
111:保護膜 (酸化シリコン) 112:平坦化膜 (BCB)
113:保護膜
311:配線 (チタン)
312:絶縁膜 (酸化シリコン)
313:配線 (アクリル) 313a:コンタクトホール
314:配線 (アクリル)

【図19】

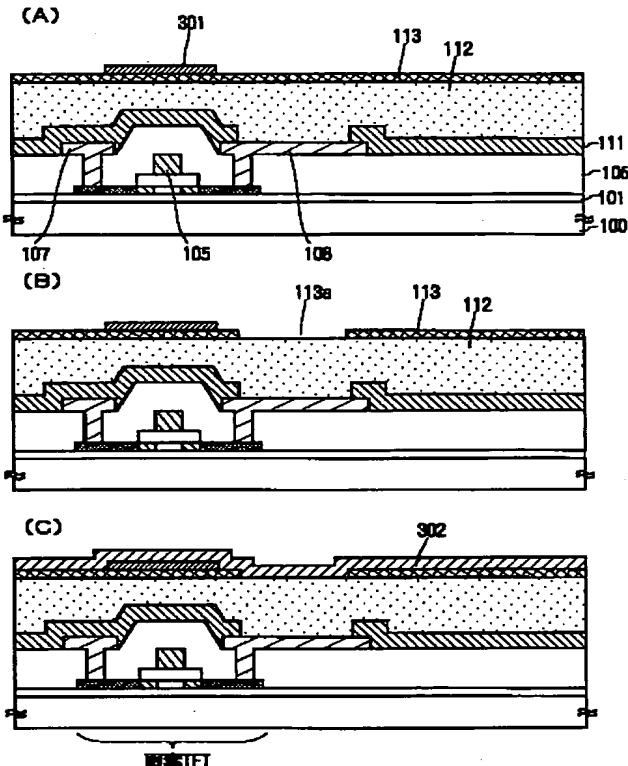


100:基板 101:下地膜
103:平坦化膜 104:ゲート絶縁膜 105:ゲート電極
106:保護膜 107:ソース配線 108:ドレイン電極
111:保護膜 (酸化シリコン)
113:保護膜 114:絶縁膜
201:配線 (アクリル) 201a:コンタクトホール
202:配線 (チタン)
321, 323:平坦化膜 (BCB)

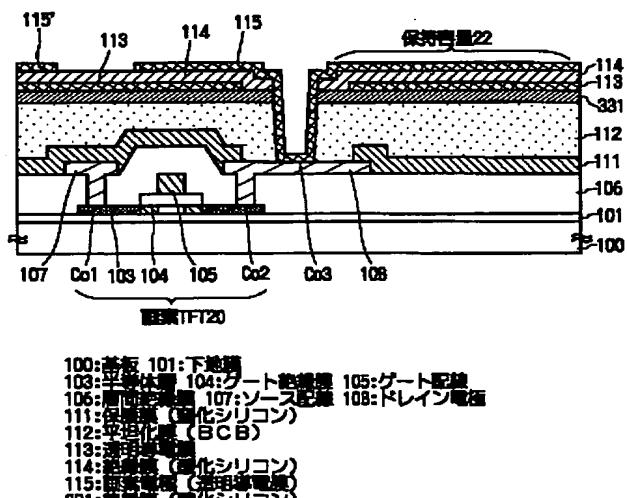
【図14】



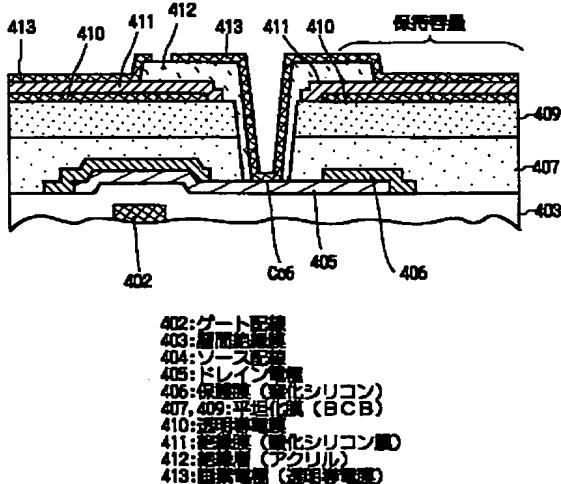
【図16】



【図20】

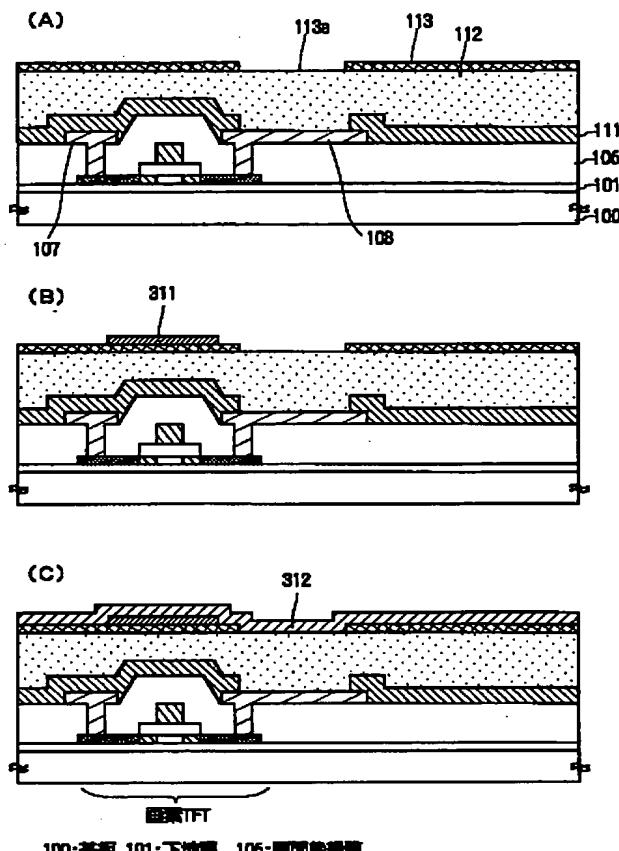


【图23】

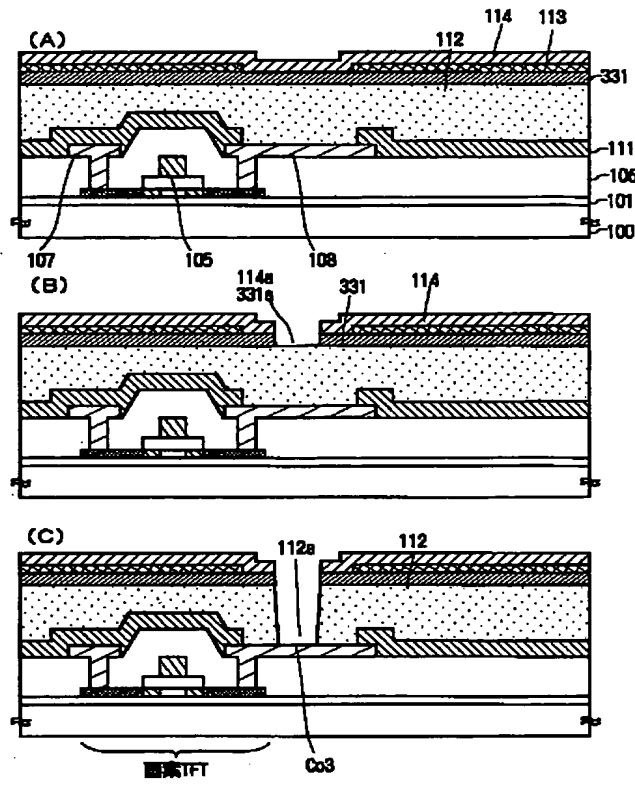


■マトリクス回復断面図 (Z-Z'断面図)

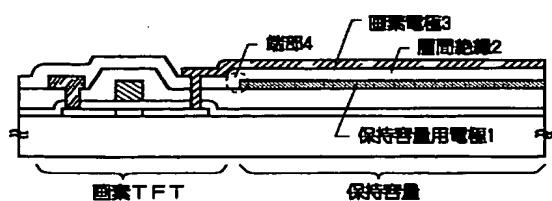
【図18】



【図21】

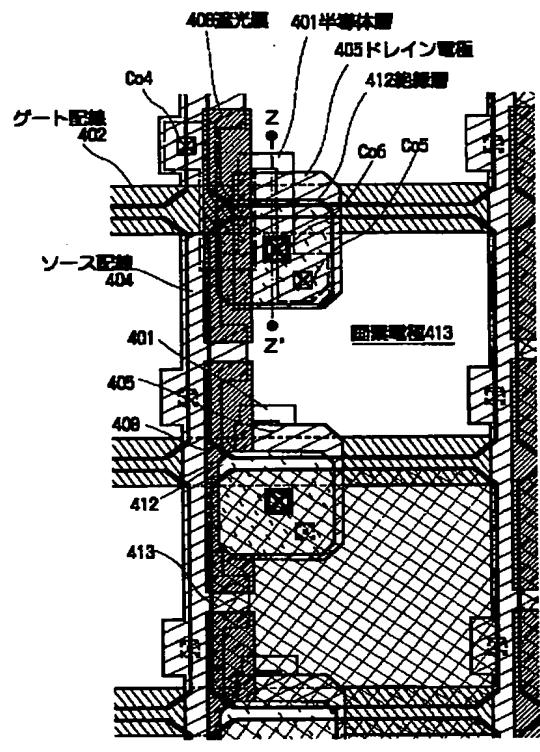


【図30】



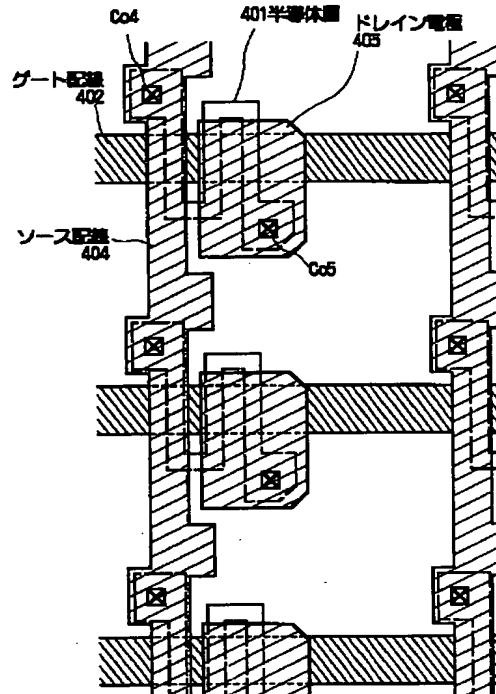
従来の像素マトリクス回路の断面図

【図22】



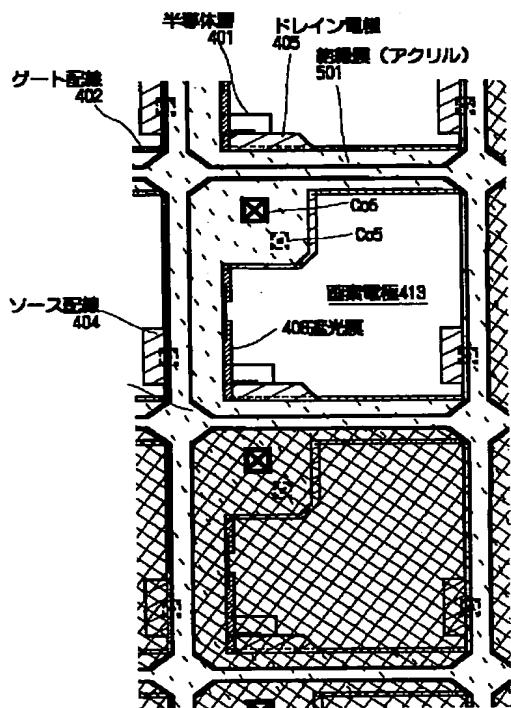
Cx4, Cx5, Cx6:エミット部

【図24】

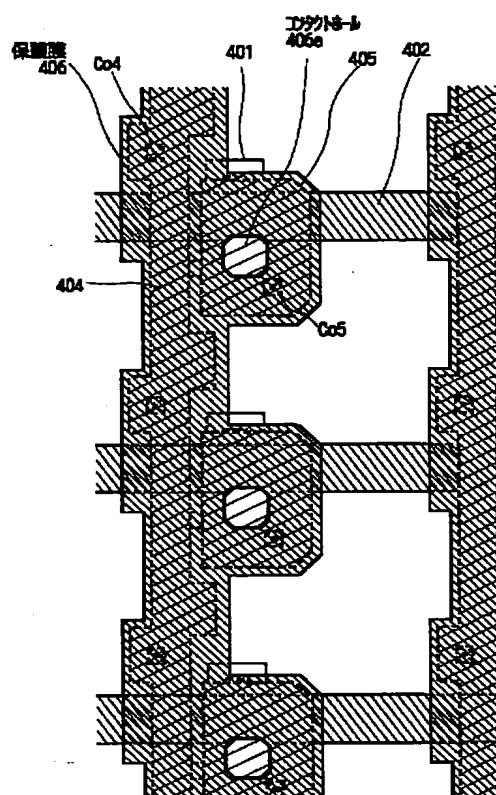


Cx4, Cx5:エミット部

【図28】

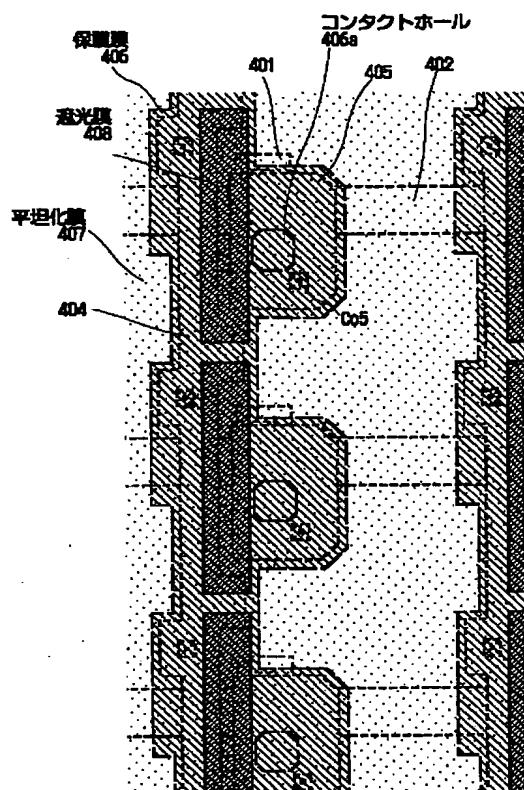


【図25】



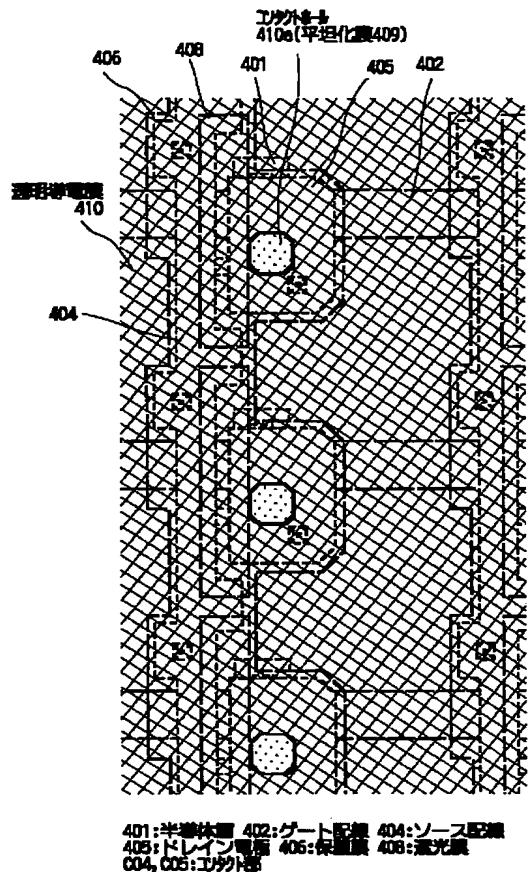
401:半導体層 402:ゲート配線 404:ソース配線 405:ドレイン電極
Co4, Co5:コントロール

【図26】

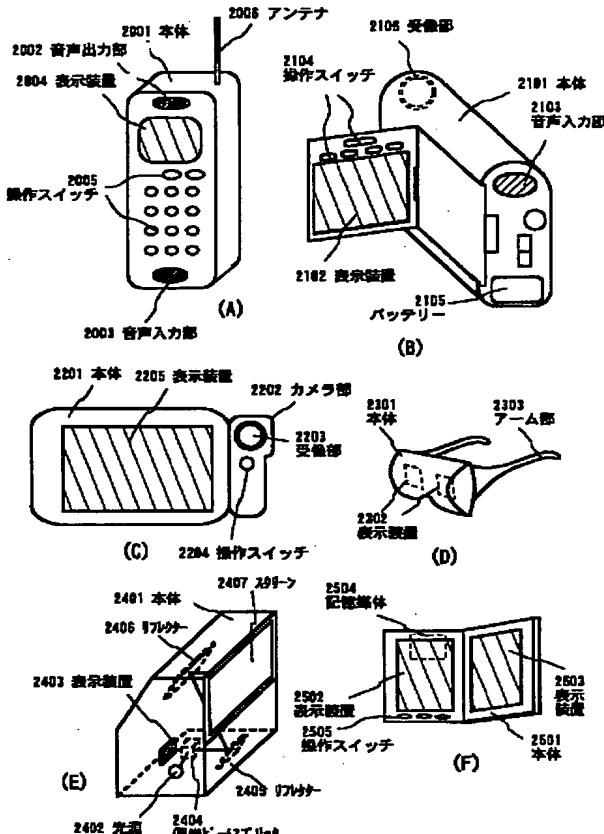


401:半導体層 402:ゲート配線 404:ソース配線
405:ドレイン電極
Co4, Co5:コントロール

【図27】



【図29】



フロントページの続き

Fターム(参考) 2H092 JA26 JA29 JA38 JA42 JA44
 JB13 JB23 JB32 JB33 JB38
 JB51 JB57 JB58 JB63 JB69
 KA04 KA07 KA16 KA18 KB22
 KB24 MA07 MA08 MA14 MA15
 MA16 MA18 MA19 MA20 MA23
 MA29 MA30 MA33 MA35 MA37
 MA41 NA16 NA22 NA25 NA27
 PA06 QA07